

# 論理回路設計入門

石丸技術士事務所 石丸顕二

kenji.ishimaru@kice.tokyo

Copyright 石丸技術士事務所 <https://www.kice.tokyo/> , 2019

# もくじ

---

- 1.論理回路の基礎
- 2.簡単な事例
- 3.設計手法の歴史
- 4.Verilog/VHDLの基礎
- 5.論理合成した回路
- 6.モジュール設計
- 7.テストベンチ
- 8.実機デバッグ
- 9.パフォーマンス見積
- 10.ありがちな不具合例

## 1-9. タイミングチャート

---

- 時間軸での信号の遷移を表したものの
- 入出インターフェースのタイミング仕様表現
- 同期設計では、セットアップ時間を1サイクル,ホールド時間0としてタイミングチャートを記載することが多い